

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-183515

(43)Date of publication of application : 21.07.1995

(51)Int.Cl. H01L 29/78  
H01L 21/28

(21)Application number : 05-328435 (71)Applicant : KAWASAKI STEEL CORP

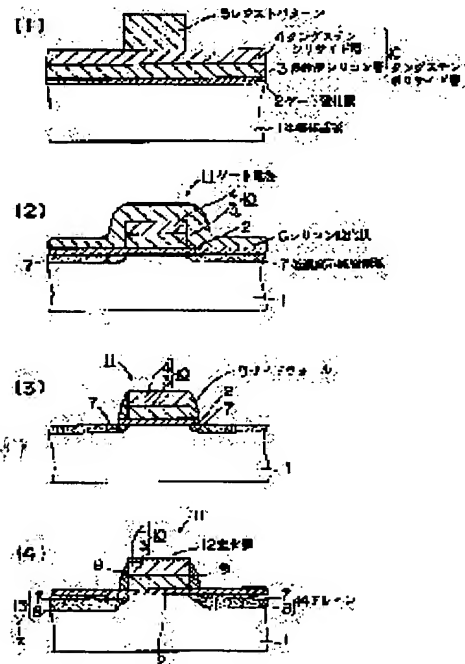
(22)Date of filing : 24.12.1993 (72)Inventor : ISHIHARA SEIICHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To obtain a highly reliable semiconductor device which can be flattened, highly integrated, and the gate electrode and the wiring provided thereon can be made low in resistance.

**CONSTITUTION:** A gate electrode 11 is formed on a semiconductor substrate 1 by patterning the tungsten polycide layer 10 consisting of a polycrystalline silicon layer 3 and a tungsten silicide layer 4 through the intermediary of a gate oxide film 2. Then, after a side wall 9 has been formed on the side wall of a gate electrode 11, a heat treatment is conducted in an ammonia atmosphere.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183515

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/28	3 0 1 D	8826-4M 7514-4M	H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平5-328435

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 石原 整一

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

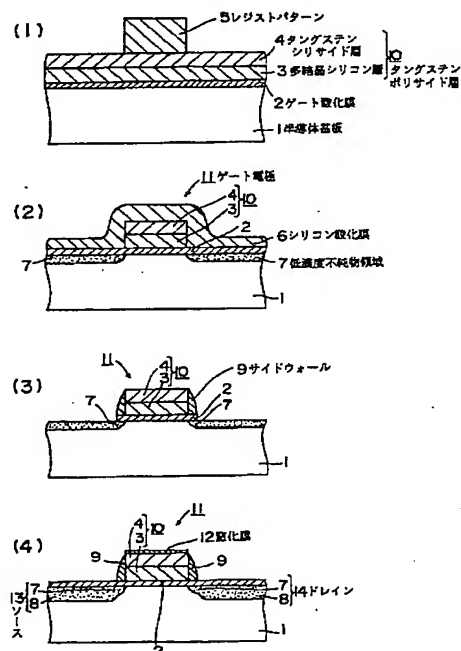
(74) 代理人 弁理士 森 哲也 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 平坦化、高集積化が図れ、ゲート電極や配線の低抵抗化が達成され且つ信頼性の高い半導体装置が得られる半導体装置の製造方法を提供する。

【構成】 半導体基板1上にゲート酸化膜2を介して、多結晶シリコン層3およびタングステンシリサイド層4からなるタングステンポリサイド層10をパターンニングしてゲート電極11を形成し、次に、ゲート電極11の側壁にサイドウォール9を形成した後、アンモニア雰囲気中で熱処理を行う。



## 【特許請求の範囲】

【請求項 1】 下層が多結晶シリコン層からなり、上層が高融点金属層または高融点金属シリサイド層からなる高融点金属ポリサイド層から形成されてなるゲート電極および／または配線を備えた半導体装置の製造方法において、

結晶化され且つ少なくとも一部が露出された前記高融点金属ポリサイド層に、前記高融点金属が窒化される雰囲気中で熱処理を行う工程を含んでなることを特徴とする半導体装置の製造方法。

【請求項 2】 前記高融点金属が窒化される雰囲気が、アンモニア雰囲気または亜酸化窒素雰囲気であることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関わり、特に、高融点金属ポリサイド層からなるゲート電極および／または配線が形成された M I S ( Metal Insulator Semiconductor ) 型トランジスタを備えた半導体装置の製造方法に関する。

## 【0002】

【従来の技術】従来から、半導体装置の微細化、高集積化および高速化の要求が進むにつれ、ゲート電極形成材料や配線形成材料として、多結晶シリコン層上に、より低抵抗である高融点金属層あるいは高融点金属シリサイド層を積層した高融点金属ポリサイドが使用されるようになってきた。

【0003】前記高融点金属層または高融点金属シリサイド層を形成する材料としては、主に、モリブデン ( Mo )、タングステン ( W )、チタン ( Ti ) および、これらのシリサイドであるモリブデンシリサイド ( Mo S i )、タングステンシリサイド ( W S i )、チタンシリサイド ( T i S i ) などが用いられている。そして、これらの形成材料のうちでも、ゲート電極形成材料として多結晶シリコンを用いた場合は、当該ゲート電極形成工程との整合性、抵抗値、化学的安定性などを総合的に判断すると、多結晶シリコン層上に、W S i 層を形成することが特に適しており、この構造を備えたタングステンポリサイド層が広く使用されている。

【0004】このタングステンポリサイド層からなるゲート電極を備えた半導体装置は、一般的に以下に示す工程により製造されている。先ず、半導体基板上にゲート酸化膜を介して、該半導体基板側から順に、多結晶シリコン層および W S i 層を堆積してタングステンポリサイド層を形成する。次に、前記タングステンポリサイド層をパターニングして、ゲート電極を形成する。次いで、前記ゲート電極をマスクとして、半導体基板に不純物イオンを低濃度で注入し、低濃度不純物領域を形成する。次に、全面に、シリコン酸化膜を堆積した後、これをエッチバックして、前記ゲート電極の側壁にサイドウォール

ルを形成する。次いで、前記サイドウォールおよびゲート電極をマスクとして、半導体基板に不純物イオンを注入し、高濃度不純物領域を形成する。その後、所望の工程を行い半導体装置を製造している。

【0005】しかしながら、前記 W S i 層は、結晶化後に酸化雰囲気中に晒されると異常酸化を起こし、膜剥がれを起こすという問題がある。具体的には、前記エッチバック後、結晶化した W S i 層の側壁は、サイドウォールにより被覆されているが、上面は、結晶化した W S i 層が露出した状態となっている。このように露出された状態で、W S i 層が酸化雰囲気中に晒されると、この部分が異常酸化を起こし、W S i 層と多結晶シリコン層とが剥離したり、W S i 層が断線したり、上部表面に凹凸が形成されるなど、ゲート電極特性を劣化させるという問題がある。

【0006】そこで、このような問題点を解決する従来例として、特開平 2-280356 号公報に開示されているように、半導体基板上に形成された高融点金属層あるいはシリサイド層からなる電極または配線を、シリコン窒化膜で被覆することで、酸化雰囲気に晒されても、前記電極または配線が酸素に触れることを阻止し、異常酸化の発生を防止する例がある。

## 【0007】

【発明が解決しようとする課題】しかしながら、特開平 2-280356 号公報に開示されている従来例は、前記シリコン窒化膜を C V D 法により形成しているため、当該シリコン窒化膜は、全面に形成される。従って、L D D ( Light Doped Drain ) 構造を備えたトランジスタを製造する場合、マスクとして使用するサイドウォール上にもシリコン窒化膜が形成される。

【0008】ここで、C V D 法では、薄い膜厚で成膜することが困難であるため、前記サイドウォール上にもある程度の厚さのシリコン窒化膜が形成される。このため、前記サイドウォールにシリコン窒化膜の応力がかかるという問題がある。また、ゲート電極上に堆積したシリコン窒化膜により、ゲート電極の高さも高くなり、平坦化に支障を来すという問題もある。このため、高融点金属ポリサイド層を薄く形成してゲート電極の高さを抑え、今度は、ゲート電極の抵抗が増大するという問題が発生する。

【0009】本発明は、このような従来の問題点を解決することを課題とするものであり、平坦化、高集積化に支障を来すことなく、ゲート電極や配線の低抵抗化が達成され且つ信頼性の高い半導体装置を得ることが可能な半導体装置の製造方法を提供することを目的とする。

## 【0010】

【課題を解決するための手段】この目的を達成するために、請求項 1 記載の発明は、下層が多結晶シリコン層からなり、上層が高融点金属層または高融点金属シリサイド層からなる高融点金属ポリサイド層から形成されてな

るゲート電極および／または配線を備えた半導体装置の製造方法に関するものであり、結晶化され且つ少なくとも一部が露出された前記高融点金属ポリサイド層に、前記高融点金属が窒化される雰囲気中で熱処理を行う工程を含んでなることを特徴とする半導体装置の製造方法を提供するものである。

【0011】そして、請求項2記載の発明は、前記高融点金属が窒化される雰囲気が、アンモニア雰囲気または亜酸化窒素雰囲気であることを特徴とする半導体装置の製造方法を提供するものである。

【0012】

【作用】請求項1記載の発明によれば、結晶化された高融点金属ポリサイド層の露出した表面が窒化され、前記露出表面は、窒化膜に覆われる。従って、この窒化膜が酸化に対するバリアの役割を果たすため、前記高融点金属ポリサイド層を酸化雰囲気中に晒しても、当該高融点金属ポリサイド層が酸素に直接接触することを阻止できる。このため、前記結晶化した高融点金属ポリサイド層の異常酸化が防止される。

【0013】また、前記窒化膜は、結晶化された高融点金属ポリサイド層の露出表面を窒化することで形成されるため、CVD法に比べ極めて薄い膜厚で形成することができる。従って、前記高融点金属ポリサイド層の膜厚を不必要に薄くしなくても、平坦化、高集積化が達成される。このため、ゲート電極や配線の低抵抗化が達成され且つ信頼性が向上される。

【0014】そして、請求項2記載の発明によれば、請求項1にかかる高融点金属が窒化される雰囲気として、アンモニア雰囲気または亜酸化窒素雰囲気を採用するため、前記結晶化された高融点金属ポリサイド層の露出表面には、さらに効率良く窒化膜が形成される。

【0015】

【実施例】次に、本発明にかかる一実施例について、図面を参照して説明する。図1は、本発明の実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。図1(1)に示す工程では、所望の処理が行われた半導体基板1上に、膜厚が100Å程度のゲート酸化膜2を形成する。次に、ゲート酸化膜2上に、膜厚が1500Å程度の多結晶シリコン層3を形成する。次いで、多結晶シリコン層3上に、膜厚が1500Å程度のタン

グステンシリサイド層4を形成する。このようにして、ゲート酸化膜2上に、多結晶シリコン層3およびタングステンシリサイド層4からなるタングステンポリサイド層10を形成する。

【0016】なお、本実施例では、このタングステンシリサイド層4が、請求項に記載の「高融点金属シリサイド層」に相当し、タングステンポリサイド層10が、請求項に記載の「高融点金属ポリサイド層」に相当する。次に、前記タングステンシリサイド層4上に、ゲート電極形成用マスクであるレジストパターン5を形成する。

【0017】次いで、図1(2)に示す工程では、図1(1)に示す工程で得たレジストパターン5をマスクとして、タングステンポリサイド層10に異方性エッチングを行い、ゲート電極11を形成する。次に、レジストパターン5を除去した後、ゲート電極11をマスクとして、半導体基板1に、不純物を低濃度でイオン注入し、低濃度不純物領域7を形成する。次いで、LPCVD (Low Pressure CVD) 法により全面に、シリコン酸化膜6を形成する。このLPCVD法は、800℃程度の温度で行われるが、この時、タングステンシリサイド層4が結晶化される。

【0018】次に、図1(3)に示す工程では、図1(2)に示す工程で得たシリコン酸化膜6に、エッチバックを行い、ゲート電極11の側壁にサイドウォール9を形成する。ここで、タングステンシリサイド層4は、前記LPCVD工程時に結晶化されているため、サイドウォール9形成後には、ゲート電極11は、上面に、結晶化したタングステンシリサイド層4が露出した状態となる。

【0019】次に、図1(4)に示す工程では、図1(3)に示す工程で得た半導体基板1をLPCVD装置にて、高融点金属（本実施例では、タングステン）が窒化される雰囲気として、アンモニア雰囲気中（アンモニア流量100～1000sccm）、温度600～900℃、圧力50～300pa、の条件で熱処理を行う。この熱処理により、ゲート電極11の上面、すなわち、タングステンシリサイド層4の露出していた部分が窒化され、窒化シリコンおよび窒化タングステンの混合物からなる窒化膜12が形成される。なお、この窒化膜12の膜厚は、40Åであった。

【0020】このように、40Åと薄い膜厚で窒化膜12を形成できるため、この窒化膜12が、半導体装置の平坦化、高集積化に支障を来すことを最小限に抑制できる。また、後に形成する高濃度不純物領域8の寸法精度を悪化させることもない。次いで、サイドウォール9および窒化膜12が形成されたゲート電極11をマスクとして、半導体基板1に、不純物をイオン注入し、高濃度不純物領域8を形成する。

【0021】なお、この時、チャネリングの発生を防止するためのマスク酸化膜を、たとえば、熱酸化にて形成する場合、ゲート電極11の上面には窒化膜12が、また、側壁にはサイドウォール9が形成されているため、この熱酸化時に、ゲート電極11が直接酸素に触れることがない。従って、結晶化したタングステンシリサイド層4が異常酸化することが防止される。

【0022】また、前記マスク酸化膜を、たとえば、LPCVD法にて形成する場合も同様に、ゲート電極11が直接酸素に触れることがない。従って、結晶化したタングステンシリサイド層4が異常酸化することが防止される。次に、低濃度不純物領域7および高濃度不純物領

域 8 を活性化のための熱処理を行いソース 13 およびドレイン 14 を形成する。

【0023】その後、所望の工程を行い、半導体装置を完成する。なお、本実施例では、高融点金属が窒化される雰囲気として、アンモニア雰囲気を採用した場合について説明したが、これに限らず、たとえば、亜酸化窒素雰囲気など、高融点金属が窒化される雰囲気であれば、他の雰囲気ガスを使用してもよい。

【0024】そして、本実施例では、高融点金属シリサイド層として、タングステンシリサイド層を使用した場合について説明したが、これに限らず、たとえば、モリブデンシリサイド、チタンシリサイドなど、他の組成を備えた高融点金属シリサイド層を使用してもよい。また、高融点金属シリサイド層に代えて、高融点金属層を使用してもよく、この場合は、たとえば、タングステン、モリブデン、チタンなどの高融点金属が使用できる。

【0025】そしてまた、本実施例では、高融点金属ポリサイド層からなるゲート電極を形成する場合について説明したが、これに限らず、本発明は、高融点金属ポリサイド層からなる配線の異常酸化防止など、結晶化され且つ少なくとも一部が露出された高融点金属ポリサイド層の異常酸化を防止することができる。

【0026】

【発明の効果】以上説明してきたように、請求項 1 記載の発明は、結晶化され且つ少なくとも一部が露出された前記高融点金属ポリサイド層に、前記高融点金属が窒化される雰囲気中で熱処理を行う工程を含んでなるため、前記高融点金属ポリサイド層の露出した表面を窒化し、この部分に窒化膜を形成することができる。このため、

この窒化膜が、酸化に対するバリアの役割を果たし、高融点金属ポリサイド層の異常酸化を防止することができる。

【0027】また、前記窒化膜は、前記高融点金属ポリサイド層の露出した表面を窒化することで形成されるため、極めて薄い膜厚で形成することができる。従って、平坦化、高集積化を図れると共に、ゲート電極や配線の低抵抗化が達成され且つ信頼性が向上される。そして、請求項 2 記載の発明は、アンモニア雰囲気または亜酸化窒素雰囲気で行うため、前記効果に加え、さらに効率良く窒化膜を形成することができる。

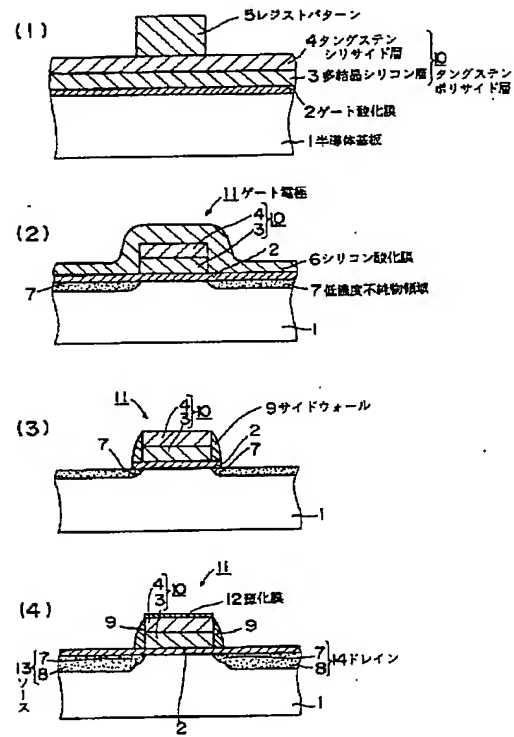
【図面の簡単な説明】

【図 1】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【符号の説明】

- 1 半導体基板
- 2 ゲート酸化膜
- 3 多結晶シリコン層
- 4 タングステンシリサイド層
- 5 レジストパターン
- 6 シリコン酸化膜
- 7 低濃度不純物領域
- 8 高濃度不純物領域
- 9 サイドウォール
- 10 タングステンポリサイド層
- 11 ゲート電極
- 12 窒化膜
- 13 ソース
- 14 ドレイン

【図1】



**THIS PAGE BLANK (USPTO)**



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250723

(43)Date of publication of application : 27.09.1996

(51)Int.Cl. H01L 29/78  
 H01L 21/28  
 H01L 21/316  
 H01L 21/3205  
 H01L 21/336

(21)Application number : 07-054268

(71)Applicant : FUJITSU LTD

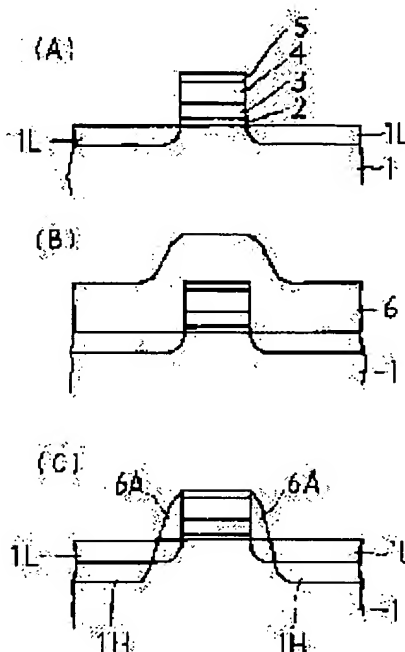
(22)Date of filing : 14.03.1995

(72)Inventor : HASHIMOTO KOJI

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57)Abstract:**

**PURPOSE:** To eliminate the abnormal formation of a sidewall due to the abnormal oxidation of a gate electrode material for checking the short circuit between electrodes by a method wherein an electrode is formed by patterning a metallic silicide film covering a semiconductor substrate while the semiconductor substrate is heated up to growing temperature in a vapor growing furnace so as to vapor grow an insulating film covering the electrode.

**CONSTITUTION:** A gate oxide film 2 is formed by thermal oxidation on a silicon substrate 1 to be coated with a polysilicon film 3, a WSi film 4 and an SiO<sub>2</sub> film 5 by vapor growing process and then these films are patterned using HBr gas to form a gate electrode. Next, the substrate is ion-implanted using the gate electrode as an implanting mask to form shallow source and drain 1L for LDD. Next, a high temperature CVDSiO<sub>2</sub> film 6 in almost the same thickness as that of the gate is grown covering the gate electrode on the substrate. Later, the substrate 1 is ion-implanted using the sidewall and the gate electrode as implanting masks so as to form deep high concentration source/drain regions 1H.

**LEGAL STATUS**

[Date of request for examination] 08.03.2000

[Date of sending the examiner's decision of rejection] 03.09.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2002-19287 of rejection]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-250723

(43)公開日 平成8年(1996)9月27日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 N
21/28	3 0 1		21/28	3 0 1 T
21/316			21/316	X
21/3205			21/88	Q
21/336			29/78	3 0 1 Y

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21)出願番号 特願平7-54268

(22)出願日 平成7年(1995)3月14日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 橋本 広司

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

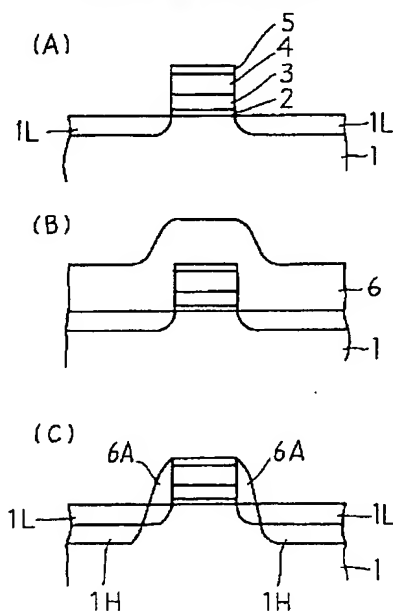
【目的】 ゲート電極の側面に側壁形成用のCVD SiO<sub>2</sub>膜を成長させる際に、ゲート電極材料の異常酸化による側壁の異常形成をなくして、電極間短絡を防止する。

【構成】 1) 半導体基板上に金属シリサイド膜を被着し、該金属シリサイド膜をパターニングして配線を形成する第1工程と、該半導体基板を気相成長炉内に成長温度より低い温度で挿入し、次いで成長温度に昇温して、該半導体基板上に該配線を覆って絶縁膜を気相成長する第2工程とを有する。

2) 前記第2工程の代わりに、気相成長炉内を不活性ガスで置換し、次いで前記半導体基板を気相成長炉内に挿入し、不活性ガスを原料ガスに切り換えて該半導体基板上に前記配線を覆って前記絶縁膜を気相成長する工程を有する。

3) 前記気相成長炉がバッチ式の減圧気相成長炉である半導体装置の製造方法。

本発明の実施例の説明図



## 【特許請求の範囲】

【請求項 1】 半導体基板上に金属シリサイド膜を被着し、該金属シリサイド膜をパターニングして電極または配線を形成する第 1 工程と、該半導体基板を気相成長炉内に成長温度より低い温度で挿入し、次いで成長温度に昇温して、該半導体基板上に該電極または配線を覆って絶縁膜を気相成長する第 2 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 2 工程の代わりに、気相成長炉内を不活性ガスで置換し、次いで前記半導体基板を気相成長炉内に挿入し、不活性ガスを原料ガスに切り換えて該半導体基板上に前記電極または配線を覆って前記絶縁膜を気相成長する工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】 前記気相成長炉がバッチ式の減圧気相成長炉であることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に、配線材料として金属シリサイド膜を用いる半導体装置の製造方法に関する。

【0002】 近年、半導体装置の高集積化により、短チャネル効果に対する対策や配線の低抵抗化が要求され、ゲート電極や配線材料にタングステンシリサイド (WSi) 等の金属シリサイド膜が使用されている。

## 【0003】

【従来の技術】 従来の半導体装置の製造方法においては、ゲート電極パターンを形成後、シリコン基板表面に熱酸化による酸化シリコン ( $\text{SiO}_2$ ) 膜を形成し、その膜を通してソース、ドレイン形成用のイオン注入をおこない、次いで、基板上にゲート電極パターンを覆って、LDD 構造を形成するのに必要な側壁を作製するための酸化シリコン (CVD  $\text{SiO}_2$ ) 膜を気相成長していた。

【0004】 ところが、半導体装置の短チャネル化にともないその対策として、ゲート電極を形成後、基板表面に熱酸化膜を形成しないで、直接基板にソース、ドレイン形成用のイオン注入をおこない、次いで、基板上にゲート電極パターンを覆って、LDD 構造を形成するのに必要な側壁を作製するための CVD  $\text{SiO}_2$  膜を成長するようになった。次に、図 4 を用いてこの場合の従来例を説明する。

【0005】 図 4 (A) ~ (C) は従来例の説明図である。図 4 (A) において、シリコン (Si) 基板 1 上に熱酸化によるゲート酸化膜 2 を形成し、その上に気相成長 (CVD) 法により、ポリシリコン膜 3、WSi 膜 4、 $\text{SiO}_2$  膜 5 を被着し、 $\text{HBr}$  ガスを用いてこれらの膜をパターニングし、ゲート電極を形成する。

【0006】 次いで、ゲート電極を注入マスクにして、基板にイオン注入をおこない、浅い LDD 用のソース、ドレイン 1L を形成する。図 4 (B) において、基板上にゲ

ート電極を覆って、ゲートと同程度の厚さの高温 CVD  $\text{SiO}_2$  膜 (HTO 膜) 6 を成長する。この際の成長温度は通常 700~900 °C である。

【0007】 この成長の際、WSi 膜 4 の側面が露出しているため、その露出面に異常酸化部 7 が生じる。図 4 (C) において、基板表面に異方性エッチングをおこない、ゲート電極の側面に CVD  $\text{SiO}_2$  からなる側壁 6A を形成する。異常酸化部 7 の存在により側壁が不完全な形状になる。

【0008】 この後、通常の工程により、側壁及びゲート電極を注入マスクとしてイオン注入をおこない深い高濃度のソース、ドレイン領域 1H を形成する。

## 【0009】

【発明が解決しようとする課題】 従来例において、① WSi 膜 4 の表面に CVD  $\text{SiO}_2$  膜 5 を成長しても WSi の異常酸化は起こらなかったが、② WSi 膜 4 をパターニングしてその側面を露出した場合に、その上に CVD  $\text{SiO}_2$  膜 6 を成長した場合に WSi の側面で WSi の異常酸化が起こっていることがわかった。

【0010】 これは、CVD  $\text{SiO}_2$  膜 5 は通常薄く形成するため、成長時間が短く成長中の酸素の取り込み量が少ないことや、ゲートパターニングの際のエッチングガスによる影響等が考えられるが、その理由はよくわからない。しかし、現実に両者①、②の間に相違がある。

【0011】 ゲート電極形成後に基板表面に熱酸化膜を形成しないためゲート電極の WSi 膜の側面が露出しているので、LDD 構造を形成するための CVD  $\text{SiO}_2$  膜を成長する際に、WSi 膜の異常酸化により突起を生じ、WSi 膜の側面に被着する CVD  $\text{SiO}_2$  膜が異常な形状になる。

【0012】 次いで、CVD  $\text{SiO}_2$  膜を異方性エッチングして WSi 膜の側面に CVD  $\text{SiO}_2$  からなる側壁を形成するとその形状が不完全となり、ゲート電極と隣接するソース、ドレイン電極間の短絡を生じた。

【0013】 本発明は、ゲート電極の側面に側壁形成用の CVD  $\text{SiO}_2$  膜を成長する際に、ゲート電極材料の異常酸化による側壁の異常形成をなくして、電極間短絡を防止することを目的とする。

## 【0014】

【課題を解決するための手段】 上記課題の解決は、

1) 半導体基板上に金属シリサイド膜を被着し、該金属シリサイド膜をパターニングして電極または配線を形成する第 1 工程と、該半導体基板を気相成長炉内に成長温度より低い温度で挿入し、次いで成長温度に昇温して、該半導体基板上に該電極または配線を覆って絶縁膜を気相成長する第 2 工程とを有する半導体装置の製造方法、あるいは

2) 前記第 2 工程の代わりに、気相成長炉内を不活性ガスで置換し、次いで前記半導体基板を気相成長炉内に挿入し、不活性ガスを原料ガスに切り換えて該半導体基板上に前記電極または配線を覆って前記絶縁膜を気相成長

する工程を有する半導体装置の製造方法、あるいは  
3) 前記気相成長炉がバッチ式の減圧気相成長炉である半導体装置の製造方法により達成される。

【0015】

【作用】本発明では、図2のバッチ式縦型減圧気相成長(LP-CVD)炉の場合は、ウェーハを搬入するとき、炉の温度を600°C以下にするとゲート材料の異常酸化は抑制される。図3の横型LP-CVD炉の場合は、不活性ガスをウェーハの搬入口の反対側より流し、ウェーハを搬入するとき、炉の温度を600°C以下にすると、WSi膜の側面での異常酸化が起こらないことを始めて見出した。

【0016】本発明者は、CVD SiO<sub>2</sub>の成長温度が約800°Cであるので、このように成長温度以下の温度で、あるいは不活性ガスで炉内を完全に置換してからウェーハを炉内に搬入することによりゲート材料の異常酸化が防止できることを確認した。

【0017】この異常酸化はウェーハを炉内に挿入するときに、酸素を含むガスが炉内に巻き込まれたときに800°Cという高温のために起こると考えられる。本発明ではそれよりも低温でウェーハを炉内に搬入するため、ガスが巻き込まれても酸化が起こりにくく、さらに、そのガスも減圧されて炉外へ排出されるため異常酸化が起こらないと考えられる。

【0018】

【実施例】本発明の具体的な実施例について、図1～3を用いて説明する。図1(A)～(C)は本発明の実施例の説明図である。

【0019】この図は、本発明を用いたゲート電極を形成する場合の工程を説明する断面図である。図1(A)において、シリコン(Si)基板1上に熱酸化によるゲート酸化膜2を形成し、その上に気相成長法により、ポリシリコン膜3、WSi膜4、SiO<sub>2</sub>膜(第1の絶縁膜)5を被着し、HBrガスをを用い、これらの膜をパターニングしてゲート電極を形成する。

【0020】次いで、ゲート電極を注入マスクにして、基板にイオン注入をおこない、浅いLDD用のソース、ドレイン1Lを形成する。図1(B)において、基板上にゲート電極を覆って、ゲートと同程度の厚さの高温CVD SiO<sub>2</sub>膜6を成長する。

【0021】次に、CVD SiO<sub>2</sub>膜の成長条件の一例を示す。

原料ガス: SiH<sub>4</sub> 50 SCCM, N<sub>2</sub>O 2500 SCCM

ガス圧力: 1 Torr

成長温度: 700～900 °C

ウェーハの搬入時の温度: 600 °C

ウェーハの搬入時の窒素(N<sub>2</sub>)流量: 10 SLM 以上

図1(C)において、基板表面に異方性エッチングをおこない、ゲート電極の側面にCVD SiO<sub>2</sub>からなる側壁6Aを形成する。

【0022】この後、通常の工程により、側壁及びゲ

ト電極を注入マスクとしてイオン注入をおこない深い高濃度のソース、ドレイン領域1Hを形成する。以上の工程により、WSi膜の異常酸化は起こらず、従ってゲート電極の短絡障害も防げた。

【0023】次に、実施例に使用した炉を図2、3に示す。図2はバッチ式縦型LP-CVD炉を示し、11はヒータ、12は外管、13は内管、14はウェーハ、15は原料ガス導入口、16は排気口、17は窒素ガス導入口である。

【0024】図3はバッチ式横型LP-CVD炉を示し、11はヒータ、18は石英管、19はウェーハ搬入口のキャップ、14はウェーハ、15は原料ガス導入口、16は排気口、17は窒素ガス導入口である。

【0025】実施例では、効果の完全性を期するため、成長炉内を完全に窒素で置換し、且つウェーハの低温挿入をおこなったが、それぞれ単独におこなってもWSi膜の異常酸化は起こらなかった。

【0026】実施例では、WSi膜を用いたゲート電極の形成方法について説明したが、本発明はこの実施例のみに限定するものでなく、配線にチタンシリサイド、モリブデンシリサイド等の高融点金属シリサイド膜を用い、その後高温で絶縁膜を形成する際にも適用できる。

【0027】

【発明の効果】本発明によれば、ゲート電極の側面に側壁形成用のCVD SiO<sub>2</sub>膜を成長する際に、ゲート電極材料の異常酸化による側壁の異常形成がなくなり、電極間短絡を防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施例の説明図

【図2】 縦型LP-CVD炉の説明図

【図3】 横型LP-CVD炉の説明図

【図4】 従来例の説明図

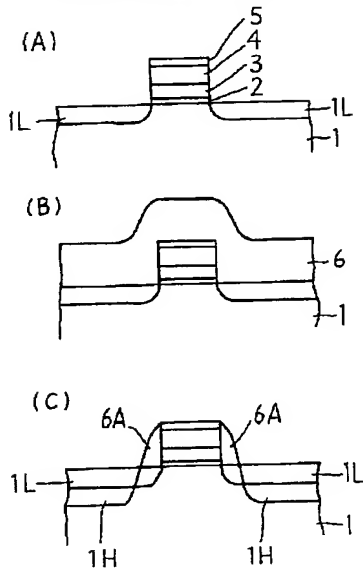
【符号の説明】

- 1 半導体基板でSi基板
- 1L 浅い低濃度のソース、ドレイン領域
- 1H 深い高濃度のソース、ドレイン領域
- 2 ゲート絶縁膜
- 3 ゲート電極でポリシリコン膜
- 4 ゲート電極でWSi膜
- 5 ゲート電極上部絶縁膜でSiO<sub>2</sub>膜
- 6 側壁形成用のCVD SiO<sub>2</sub>膜
- 6A CVD SiO<sub>2</sub>からなる側壁
- 7 WSiの異常酸化部
- 11 ヒータ
- 12 外管
- 13 内管
- 14 ウェーハ
- 15 原料ガス導入口
- 16 排気口
- 17 窒素ガス導入口
- 18 石英管

19 ウェーハ搬入口のキャップ

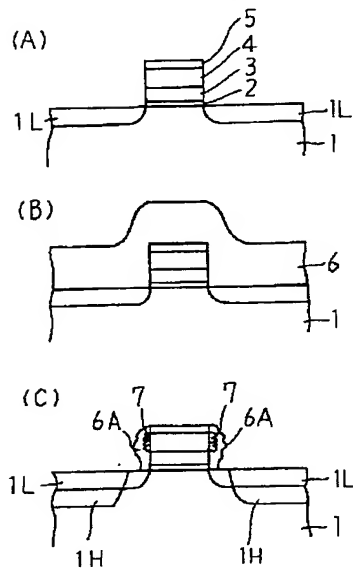
【図1】

本発明の実施例の説明図



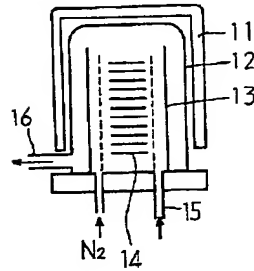
【図4】

従来例の説明図



【図2】

縦型LP-CVD炉の説明図



【図3】

横型LP-CVD炉の説明図

